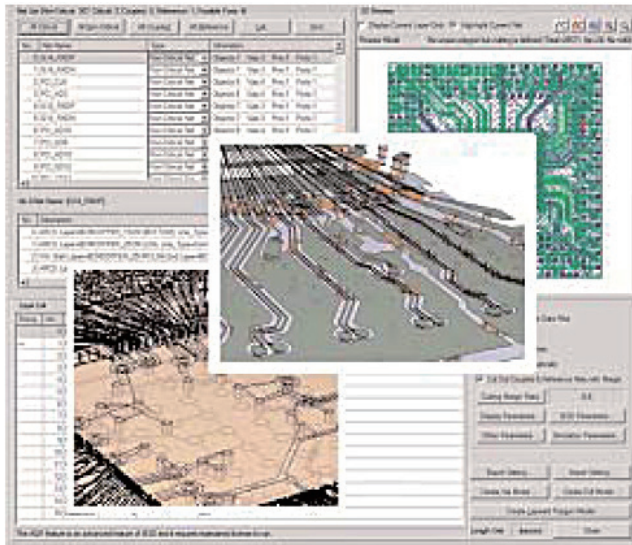


HyperLynx 3D EM



HyperLynx 3D EM のフルウェーブ・シミュレーションでは、パッケージ、PCB、IC/MMIC の複雑な構造を正確にモデル化し、システム性能を最適化できます。

主な特長

- 実測結果と同等の信頼性が得られるシミュレーション結果により、費用のかかる設計を繰り返す必要がなく、EM 設計コストを削減
- 時間当たりのシミュレーション数の増加により、短時間でより多くの設計問題を検証でき、設計収束の早期化と全体的な設計品質の向上を実現
- 非常に大規模な構成でも最小限のメモリ使用量でシミュレーション可能なため、時間がかかりエラーの生じやすい設計分割が不要。ジオメトリの正確なモデリングにより EM 設計のリスクを低減

フルパッケージ、PCB、回路向けのソリューション

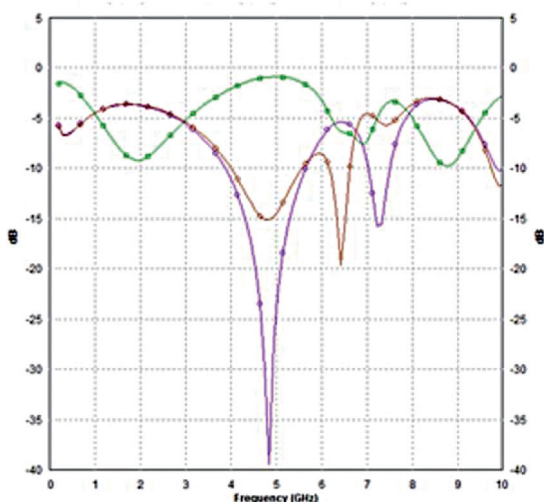
今日の高周波 IC、マイクロ波集積回路 (MMIC)、パッケージ、プリント基板 (PCB) の設計では、性能要件を満たす最終的な物理的インプリメンテーションを確実に構築するために、精度の高いフルウェーブ EM (電磁界) 回路モデルが必要とされています。HyperLynx 3D EM は業界をリードする実績を持つフルウェーブ 3D EM 設計/検証ソリューションで、パッケージ、PCB、回路レベルの包括的なシミュレーションとモデリングを提供し、キャパシティとランタイム性能に関するニーズを満たします。設計エンジニアやシグナル・インテグリティ (SI) エンジニアは、EM 精度の高い結果に基づいて、非常に大規模な設計や検証を最高レベルの信頼性で実行できます。自動 3D ジオメトリ・モデル作成によるボンディング・ワイヤ、ソルダボール/バンプ、ビア、配線トレースなどを含むパッケージ上や基板上のインターコネクト・パス全体のモデリング・フルサポートが特長です。独自の不均一メッシュ生成と適合性のあるカーブ・フィッティングにより、このようなブロードバンド製品の迅速で正確なシミュレーション結果を得ることができます。

ハイ・キャパシティ

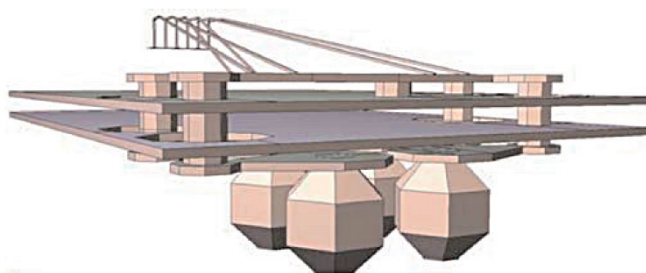
市販されている他の EM ツールの場合、エンジニアはモデリング対象となる構成を単純化したり、サイズを縮小するといった選択を強いられます。多くの場合、ツールがシミュレーションを完了する前に、レイヤの層構成や隣接するメタル構造が必ず切断/縮小されます。この手法では結局、エンジニアが精度を大きく犠牲にせざるを得なくなり、制約が大きい上に大量の時間を浪費し、重要な寄生カップリングや構成全体の電気的特性をすべて抽出することができません。その結果、設計者は設計のマージンをほとんど奪われてしまうため、システム性能の目標を下回り、必要以上に多くのエリアや I/O を搭載する結果となります。しかし HyperLynx 3D EM は、分散コンピューティング技術を用いることにより、最善のソリューションを使って妥当な時間内に構成全体のシミュレーションを行います。

自動 3D ジオメトリ・モデリングおよびメッシュ生成

非常に大規模な構成を EM シミュレーションする場合、最大の課題は、ユーザが素早く正確にフル 3D ジオメトリをモデル化できるかどうかです。この他に、大規模構成の EM メッシュを生成する際、どうやってコンピュータ・メモリの許容量内に収め、EM エンジン性能の限界を超えないようにするかが、長い間克服できない設計の壁とみなされてきました。HyperLynx 3D EM は、この壁を打ち破ることに成功した業界初のソリューションで、多数の主要レイアウト設計ツールを統合しています。ボンディング・ワイヤ、ソルダボール／バンパ、ビア、トレース、誘電層のフル 3D ジオメトリ・モデリングをレイアウト・データから直接、自動抽出してメッシュ化し、3D EM エンジンによる適切な処理を可能にします。この結果、設計エンジニアや SI エンジニアは正確な EM ソリューションに容易にアクセスすることができ、EM 設計フローの一環として最終的な性能を改善し、検証できるようになります。



HyperLynx 3D EM は、時間／周波数ドメイン・シミュレーション用に S パラメータ・モデルを生成します。



組立てドキュメントによるプロセス・エンジニアリング

EM モデリングと時間ドメイン・シミュレーション

HyperLynx 3D EM は、時間／周波数ドメイン回路シミュレータにプラグイン可能な、マルチポート S パラメータ・モデル (Touchstone 形式) とブロードバンド RCLK SPICE サブサーキット・モデルを提供します。これらのモデルを直接業界トップの SI/PI (パワー・インテグリティ) 解析ツールである HyperLynx[®] やその他の時間ドメイン・シミュレータに読み込み、DDR_x や SerDes 設計で必要とされる徹底的で効率的なシミュレーションを実行できます。

対応レイアウト・ツール

- メンター・グラフィックス Expedition[®] Enterprise および PADS[®]
- ケイデンス・デザイン・システムズ Allegro Package Designer
- GDSII
- AutoCAD DXF ファイル形式
- Gerber ファイル形式

システム要件

- Windows[®] 32 ビット・システム
- Windows 64 ビット・システム
- Linux[®] 32 ビット・システム (3D エンジンのみ)
- Linux 64 ビット・システム (3D エンジンのみ)

詳しい製品情報は、www.mentorg.co.jp/hyperlynx をご覧ください。

Copyright © 2013 Mentor Graphics Corporation. All rights reserved.

Mentor Graphics は Mentor Graphics Corporation の登録商標です。その他記載されている製品名および会社名は各社の商標または登録商標です。製品の仕様は予告なく変更されることがありますのでご了承ください。

メンター・グラフィックス・ジャパン株式会社 

本社 〒140-0001 東京都品川区北品川 4 丁目 7 番 35 号 御殿山ガーデン
電話 (03) 5488-3030 (営業代表)

大阪支店 〒532-0004 大阪府大阪市淀川区西宮原 2 丁目 1 番 3 号 SORA 新大阪 21
電話 (06) 6399-9521

名古屋支店 〒460-0008 愛知県名古屋市中区栄 4 丁目 2 番 29 号 名古屋広小路プレイス
電話 (052) 249-2101

URL <http://www.mentorg.co.jp>